МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«Вятский государственный университет»

(ФГБОУ ВО «ВятГУ»)

Факультет автоматики и вычислительной техники

Кафедра ЭВМ

Отчёт

Лабораторной работы по дисциплине

«Проектирование цифровых устройств»

Выполнил студент группы ИВТб-3301-04-00 / Жеребцов К. А.

Проверил преподаватель / Клюкин В.Л.

2022

1. Цель

Разработать операционную часть АЛУ для реализации следующих операций:

* Сложение модулей;
* НЕ А ИЛИ В;

2. Описание алгоритмов

2.1 Описание алгоритма сложения модулей

1)Считать первый операнд;

2) Считать второй операнд;

3) Выполнить вычитание порядков;

4) Проверить на ПРС:

* + если до вычитания в знаковых разрядах порядков обоих чисел был ноль, а в результате вычитания в знаковом разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию;
  + иначе перейти к п. 5.

5) Выполнить сравнение разности порядков с -23 и 23

* + если разность порядков >=23, то выдать первый операнд в качестве результата сложения;
  + если разность порядков <=-23, то выдать второй операнд в качестве результата сложения;
  + иначе, перейти к п. 7;

6) Выровнять порядки путем сдвигов мантиссы меньшего из чисел вправо и уменьшением порядка на единицу. Выполнять пока разность не окажется равной 0;

7) Сложить модули мантисс чисел;

8) Если в знаковом разряде результата оказалась 1, то необходимо сдвинуть мантиссу суммы на один разряд вправо, увеличить порядок на 1, а также установить флаг переноса и перейти. Проверить на возникновение ПРС в порядках. Если ПРС произошло – установить флаг ПРС и прекратить операцию. Иначе перейти к п. 10;

9) Нормализовать результат;

10) Если при нормализации произошла ПМР в порядках, выдать результат равный нулю;

11) Выдать результат;

2.2 Описание алгоритма НЕ А ИЛИ В

1)Считать первый операнд;

2) Считать второй операнд;

3) Инвертировать первый операнд и выполнить ИЛИ со вторым операндом

4) Выставить флаги и выдать результат

3. Разработка ФС и ГСА операций

3.1 ФС и ГСА операции сложения модулей

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Обнулить триггеры Т3, Т4, Т5, Т6, Т7; |
| P0 | Проверка регистра RG2 на равенство нулю | y1 | Запись в T4; |
| P1 | Возникновение переноса из старшего значащего разряда; | y2 | Сдвиг RG1 влево на один разряд; |
| P2 | Проверка исключительных ситуаций в порядках; | y3 | Обнуление RG2, СТ2; |
| P3 | знак счетчика СТ1; | y4 | Запись в RG2; |
| P4 | знак счетчика СТ2; | y5 | Сдвиг RG2 влево на один разряд; |
| P5 | Разность порядков ≤ -23; | y6 | Сдвиг RG2 вправо на один разряд; |
| P6 | Разность порядков > 23; | y8 | Вычитание 1 из CT1; |
| P7 | Проверка счетчика СТ1 на ноль; | y9 | Прибавить 1 в СТ1; |
| P8 | Проверка счетчика СТ2 на ноль; | У10 | Инверсия содержимого СТ1; |
| P9 | Проверка на необходимость нормализации; | У11 | Обнуление СТ1; |
| P10 | знак регистра RG2 | У12 | Запись в СТ2, T3; |
| Z | Проверка возможности выдачи результата на ШИВых | У13 | Вычитание 1 из CT2; |
|  |  | У14 | Прибавить 1 в СТ2; |
|  |  | У15 | Инверсия содержимого RG1; |



Рисунок 1 – ФС операции сложения модулей



Рисунок 2 – ГСА операции сложения модулей

3.2 ФС и ГСА операции НЕ А ИЛИ В

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Запись RG1, очистка T1, T2, T3, T4 |
| Z | Проверка возможности выдачи результата на ШИВых | y1 | Запись в RG2 |
|  |  | y2 | Запись RG3 |
|  |  | Y3 | Выдача результата на шину |
|  |  | Y4 | Запись в триггеры |



Рисунок 3 – ФС операции НЕ А ИЛИ В



Рисунок 4 – ГСА операции НЕ А ИЛИ В

Вывод:

В ходе выполнения лабораторной работы были разработаны функциональные схемы и граф-схемы алгоритмов дополнительных операций (НЕ А ИЛИ В и сложения модулей).